

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-223565

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H02M 3/28

H02M 3/335

(21)Application number : 2001-016019

(71)Applicant : NISSIN ELECTRIC CO LTD

(22)Date of filing : 24.01.2001

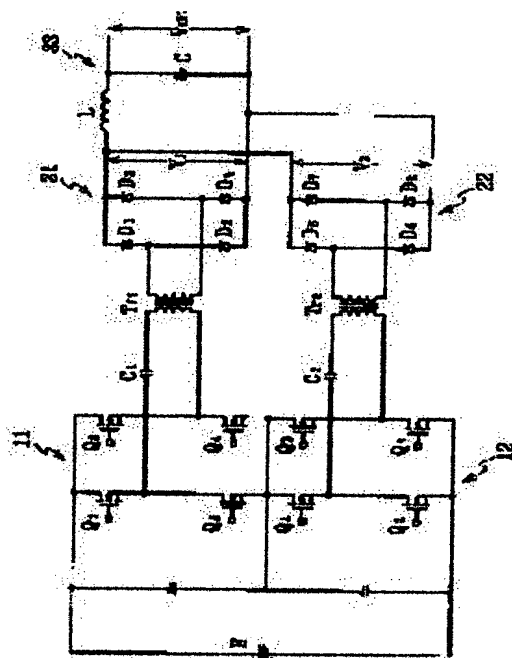
(72)Inventor : KURIO NOBUHIRO
NAKAGAKI HITOSHI

(54) DC-TO-DC CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC-to-DC converter which enables reduction in switching losses and use of low breakdown voltage MOSFETs of low on-resistance.

SOLUTION: In a DC-to-DC converter, having rectifying circuit portions 21, 22 fitted through transformers Tr1-Tr2 on the output sides of conversion circuit portions 11, 12 for converting the source voltage of a DC power source E into Acs, two groups of conversion circuit portions 11, 12 composed by connecting two pairs of switching elements Q1-Q4, Q5-Q8 by full bridge formation are provided for the DC power source E, and series capacitors C1, C2 are inserted and connected between those converting portions 11, 12 and the transformers Tr1, Tr2. Along with shifting the switching phases of switching elements Q4, Q8 on one side by $1/3n$ period, with respect to switching elements Q1, Q5 on the other side, from among switching elements which form pairs in each connecting circuit 11, 12, the switching phases of the switching elements Q1, Q5 which correspond between individual converting circuits 11, 12 are shifted by $1/2n$ period.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2002-223565

(P 2002-223565 A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int. Cl.⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テ-コ-ド(参考)

H 5H730

T

W

E

3/335

3/335

審査請求 有 請求項の数 4 O L

(全 8 頁)

(21)出願番号 特願2001-16019(P2001-16019)

(22)出願日 平成13年1月24日(2001.1.24)

(71)出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72)発明者 栗尾 信広

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(72)発明者 中垣 仁志

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(74)代理人 100064584

弁理士 江原 省吾 (外3名)

Fターム(参考) 5H730 AA14 AA16 AS01 BB26 BB27

BB57 BB82 DD04 DD16 EE04

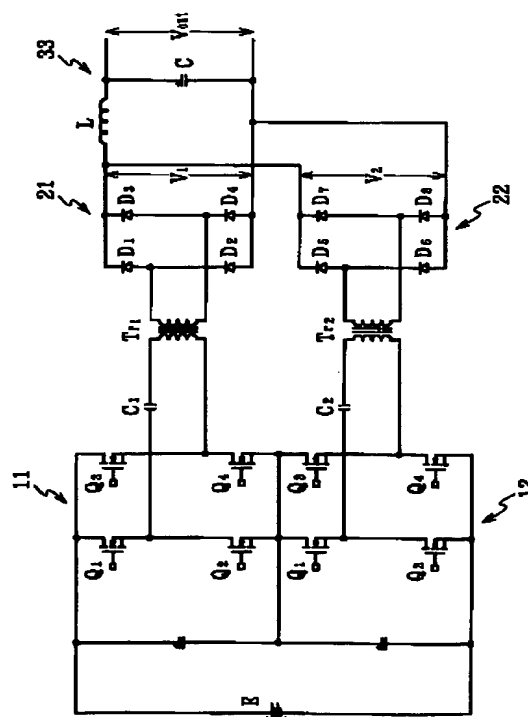
EE08 EE10 EE75 FG05

(54)【発明の名称】DC-DCコンバータ

(57)【要約】

【課題】 スイッチング損失の低減化を図り、オン抵抗が低い低耐圧のMOS-FETの使用を可能とするDC-DCコンバータを提供することにある。

【解決手段】 直流電源Eの電源電圧を交流に変換する変換回路部11、12の出力側にトランスTr₁、Tr₂を介して整流回路部21、22を設けたDC-DCコンバータにおいて、二対のスイッチング素子Q₁~Q₄、Q₅~Q₈をフルブリッジ構成で接続した変換回路部11、12を直流電源Eに対して二群設け、それら各変換回路部11、12とトランスTr₁、Tr₂との間に直列コンデンサC₁、C₂を挿入接続し、各変換回路部11、12で対をなすスイッチング素子のうち、一方のスイッチング素子Q₁、Q₅に対して他方のスイッチング素子Q₄、Q₈のスイッチング位相を1/3n周期ずらすと共に、各変換回路部11、12間で対応するスイッチング素子Q₁、Q₅のスイッチング位相を1/2n周期ずらす。



【特許請求の範囲】

【請求項 1】 直流電源の電源電圧を交流に変換する変換回路部の出力側にトランスを介して整流回路部を設けた DC-DC コンバータにおいて、

二対のスイッチング素子をフルブリッジ構成で接続した変換回路部を前記直流電源に対して n 群設け、それら各変換回路部とトランスとの間に直列コンデンサを挿入接続し、各変換回路部で対をなすスイッチング素子のうち、一方のスイッチング素子に対して他方のスイッチング素子のスイッチング位相を $1/3n$ 周期ずらすと共に、前記各変換回路部間で対応するスイッチング素子のスイッチング位相を $1/2n$ 周期ずらすことを特徴とする DC-DC コンバータ。

【請求項 2】 前記スイッチング素子を MOS-FET とし、 n 群の変換回路部を直流電源に対して直列に接続したことを特徴とする請求項 1 に記載の DC-DC コンバータ。

【請求項 3】 前記各変換回路部で対をなすスイッチング素子のうち、一方のスイッチング素子をコンデンサに置き換えることにより各変換回路部をハーフブリッジ構成としたことを特徴とする請求項 1 又は 2 に記載の DC-DC コンバータ。

【請求項 4】 前記 n 群の変換回路部を直流電源に対して並列に接続したことを特徴とする請求項 1 又は 3 に記載の DC-DC コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は DC-DC コンバータに関し、詳しくは、直流電源回路に使用され、直流電源の電源電圧を、異なった直流電圧に変換する DC-DC コンバータに関する。

【0002】

【従来の技術】 例えば、直流電源回路に使用される DC-DC コンバータの一例を図 7 に示し、その DC-DC コンバータの各スイッチング素子 $Q_1 \sim Q_4$ をオンオフさせるゲート信号 G のタイミングチャートを図 8 に示す。

【0003】 図 7 に示す DC-DC コンバータは、二対のスイッチング素子 Q_1, Q_4 と Q_2, Q_3 (MOS-FET) をフルブリッジ構成で直流電源 E に接続した変換回路部 1 と、その変換回路部 1 の出力側に接続されたトランス Tr と、そのトランス Tr の二次側出力に接続され、二対のダイオード D_1, D_4 と D_2, D_3 からなる整流回路 2 と、その整流回路 2 の出力側に接続された LC 平滑回路 3 とで構成されている。

【0004】 この DC-DC コンバータでは、図 8 のタイミングチャートで示すように変換回路部 1 のスイッチング素子 Q_1, Q_4 と Q_2, Q_3 を交互にオンオフさせて交流波形出力を得る。この変換回路部 1 の交流波形出力をトランス Tr により変成し、そのトランス Tr の二次側出力を整流回路 2 により整流すると共に LC 平滑回路 3

により平滑することにより、所望の直流電圧を生成する。

【0005】

【発明が解決しようとする課題】 ところで、前述した DC-DC コンバータのトランス入力側から負荷側を見ると、一般的に誘導性負荷（遅れ負荷）に見え、その場合、スイッチング素子 $Q_1 \sim Q_4$ の電圧、つまり、ドレインソース間電圧 V_{ds} 及びドレイン電流 I_d は図 9 に示すような波形となる。図 10 (a) は図 9 に示すスイッチング素子 $Q_1 \sim Q_4$ のドレインソース間電圧 V_{ds} 及びドレイン電流 I_d の各波形を模式的に表したものであり、同図 (b) はターンオン時のスイッチング損失 P_1 とターンオフ時のスイッチング損失 P_3 、および導通損失 P_2 を示す。

【0006】 スwitchング素子 $Q_1 \sim Q_4$ (MOS-FET) における損失には、図 10 (b) に示すようにスイッチング損失 P_1, P_3 と導通損失 P_2 とがあり、そのスイッチング損失には、スイッチング素子 $Q_1 \sim Q_4$ のターンオン時に生じるターンオンスイッチング損失 P_1 と、スイッチング素子 $Q_1 \sim Q_4$ のターンオフ時に生じるターンオフスイッチング損失 P_3 とがある。スイッチング損失は、スイッチング素子 $Q_1 \sim Q_4$ がオンからオフ及びオフからオンに変化する短時間の過渡状態において、ドレイン電流 I_d が流れながらドレインソース間電圧 V_{ds} が印加されることで発生する。一方、導通損失 P_2 は、スイッチング素子 $Q_1 \sim Q_4$ のオン時に生じ、オン抵抗とドレイン電流による抵抗損である。

【0007】 なお、スイッチング損失については、誘導性負荷（遅れ負荷）の場合、ターンオフスイッチング損失 P_3 の方がターンオンスイッチング損失 P_1 よりも大きいのが一般的であり、ターンオンスイッチング損失 P_1 は、回路定数の設定によっては発生しない場合もある。

【0008】 この DC-DC コンバータを小型化しようとする場合、スイッチング周波数を高周波化すれば、トランス Tr の小型化が図れることから、スイッチング周波数の高周波化は有効な手段である。しかしながら、スイッチング周波数が高くなると、そのスイッチング周波数に比例するスイッチング損失も増加することになり、スイッチング損失を低減するためには、スイッチング周波数の高周波化は好適な手段とはならない。

【0009】 一方、スイッチング素子 $Q_1 \sim Q_4$ に MOS-FET を使用した場合、その MOS-FET は、バイポーラトランジスタや IGBT に比べてターンオンやターンオフが速く高速スイッチングが可能であるが、高耐圧のものであってもオン電圧があまり増加しないバイポーラトランジスタや IGBT と比較して、MOS-FET のオン抵抗は素子耐圧の 2.5 乗に比例して増大するという特性を持っている。この MOS-FET の導通損失は、オン抵抗とドレイン電流によって決まる抵抗損であることから、そのオン抵抗が素子耐圧の 2.5 乗に比

10

20

30

40

50

例して増大するという特性により高耐圧のMOS-FETを使用することは、導通損失の指数関数的な増加を招来し、DC-DCコンバータの効率を低下させる原因となっている。

【0010】そこで、本発明は前記問題点に鑑みて提案されたもので、その目的とするところは、スイッチング損失の低減化を図り、スイッチング素子にMOS-FETを使用した場合、オン抵抗が低い低耐圧のMOS-FETの使用を可能とするDC-DCコンバータを提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するための技術的手段として、請求項1の発明は、直流電源の電源電圧を交流に変換する変換回路部の出力側にトランスを介して整流回路部を設けたDC-DCコンバータにおいて、二対のスイッチング素子をフルブリッジ構成で接続した変換回路部を前記直流電源に対して n 群設け、それら各変換回路部とトランスとの間に直列コンデンサを挿入接続し、各変換回路部で対をなすスイッチング素子のうち、一方のスイッチング素子に対して他方のスイッチング素子のスイッチング位相を $1/3n$ 周期ずらすと共に、前記各変換回路部間で対応するスイッチング素子のスイッチング位相を $1/2n$ 周期ずらすことを特徴とする。

【0012】請求項1の発明では、 n 群の変換回路部において、各変換回路部で対をなすスイッチング素子のうち、一方のスイッチング素子に対して他方のスイッチング素子のスイッチング位相を $1/3n$ 周期ずらすと共に、前記各変換回路部間で対応するスイッチング素子のスイッチング位相を $1/2n$ 周期ずらすことにより、転流によりスイッチング素子にスイッチング電流が流れながらスイッチング電圧が印加される状態がなくなるのでスイッチング損失が発生することはない。また、変換回路部とトランスとの間に直列コンデンサを挿入接続したことにより、変換回路部の出力電圧の平坦部にドループ（傾き）をつけ、立ち上がり部分の高い電圧波形とすることで、転流タイミング時の前後で電圧差を大きくして転流動作を確実に行う。なお、この請求項1の発明は、スイッチング素子として、MOS-FET以外に、バイポーラトランジスタやIGBTにも適用可能である。

【0013】請求項2の発明は、前記スイッチング素子をMOS-FETとし、 n 群の変換回路部を直流電源に対して直列に接続したことを特徴とする。この発明では、変換回路部の各MOS-FETにかかる電圧を直流電源の電源電圧の $1/n$ に低減することができ、これによって、スイッチング素子に使用するMOS-FETの耐圧も $1/n$ に低減することができ、この耐圧の2.5乗に比例して増大するオン抵抗による導通損失を抑制することができる。

【0014】請求項3の発明は、前記各変換回路部で対

をなすスイッチング素子のうち、一方のスイッチング素子をコンデンサに置き換えることにより各変換回路部をハーフブリッジ構成としたことを特徴とする。この請求項3の発明では、各変換回路部間で対応するスイッチング素子のスイッチング位相を $1/2n$ 周期ずらすことにより、各変換回路部で対をなすスイッチング素子のうちのいずれか一方のスイッチング素子を転流のトリガとしていることから、各変換回路部で対をなすスイッチング素子のうちのいずれか一方のスイッチング素子のみでハーフブリッジ構成が可能となる。

【0015】なお、請求項4に記載したように、前記 n 群の変換回路部を直流電源に対して並列に接続した構成とすることも可能である。

【0016】

【発明の実施の形態】本発明に係るDC-DCコンバータの実施形態を以下に詳述する。図1は本発明の実施形態におけるDC-DCコンバータの回路図、図2はそのDC-DCコンバータの各スイッチング素子 $Q_1 \sim Q_6$ をオンオフさせるゲート信号 G のタイミングチャート、図3は整流回路部21、22の出力電圧 V_1 、 V_2 、トランス Tr_1 、 Tr_2 の一次側電圧、各スイッチング素子 $Q_1 \sim Q_6$ のドレインソース間電圧 V_{ds} およびドレイン電流 I_d の波形図である。

【0017】この実施形態のDC-DCコンバータは、二対のスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 および Q_5 、 Q_6 と Q_7 （例えば、MOS-FET、バイポーラトランジスタやIGBT）をフルブリッジ構成で接続した n 群、例えば二群の変換回路部11、12と、その変換回路部11、12の出力側に接続された二つのトランス Tr_1 、 Tr_2 と、そのトランス Tr_1 、 Tr_2 の二次側出力に接続され、二対のダイオード D_1 、 D_4 と D_2 、 D_3 および D_5 、 D_6 と D_7 からなる二群の整流回路21、22と、その整流回路21、22の出力側に共通して接続されたLC平滑回路33とで構成されている。このDC-DCコンバータにおいて、二群の変換回路部11、12は直流電源 E に対して直列に接続されている。また、各変換回路部11、12の出力側とトランス Tr_1 、 Tr_2 の一次側との間には直列コンデンサ C_1 、 C_2 が挿入接続されている。

【0018】このDC-DCコンバータでは、図2のタイミングチャートで示すように変換回路部11、12のスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 および Q_5 、 Q_6 と Q_7 を交互にオンオフさせて交流波形出力を得る。この変換回路部11、12の交流波形出力をトランス Tr_1 、 Tr_2 により変成し、そのトランス Tr_1 、 Tr_2 の二次側出力を整流回路21、22により整流すると共にLC平滑回路33により平滑することにより、所望の直流電圧を生成する。

【0019】二群の変換回路部11、12では、図2のタイミングチャートで示すように一方の変換回路部11

で対をなすスイッチング素子 Q_1 、 Q_4 のうち、一方のスイッチング素子 Q_1 （スイッチング素子 Q_2 はスイッチング素子 Q_1 の反転）に対して他方のスイッチング素子 Q_4 （スイッチング素子 Q_3 はスイッチング素子 Q_4 の反転）のスイッチング位相を $1/3n$ 周期、例えば $1/6$ 周期遅らせる。また、変換回路部11と12間で対応するスイッチング素子 Q_1 、 Q_5 について、他方の変換回路部12のスイッチング素子 Q_6 （スイッチング素子 Q_5 はスイッチング素子 Q_6 の反転）のスイッチング位相をスイッチング素子 Q_1 に対して $1/2n$ 周期、例えば $1/4$ 周期遅らせる。さらに、他方の変換回路部12で対をなすスイッチング素子 Q_5 、 Q_8 のうち、一方のスイッチング素子 Q_5 に対して他方のスイッチング素子 Q_8 （スイッチング素子 Q_7 はスイッチング素子 Q_8 の反転）のスイッチング位相を $1/6$ 周期遅らせる。

【0020】前記変換回路部11、12のスイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ は、図3に示すようなドレインソース間電圧 V_{ds} およびドレイン電流 I_d でもってスイッチング動作する（図4の表参照）。ここで、図4の表は、各スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ の電流値の変化・推移を示す。負荷に一定電力を供給、つまり定電圧出力のもとで一定電流を供給するため、スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ からの出力電流の合計は、いずれのタイミングにおいても電流値 $1pu$ となる。すなわち、いずれかのタイミングで一方の変換回路部11のスイッチング素子 $Q_1 \sim Q_4$ からの出力電流が $0 \rightarrow 1pu$ に変化していれば、他方の変換回路部12のスイッチング素子 $Q_5 \sim Q_8$ からの出力電流は $1 \rightarrow 0pu$ に変化している。また、別のタイミングで一方の変換回路部11のスイッチング素子 $Q_1 \sim Q_4$ からの出力電流が $1pu$ であれば、他方の変換回路部12のスイッチング素子 $Q_5 \sim Q_8$ からの出力電流は $0pu$ である。

【0021】なお、区間 $t_1 \sim t_8$ は、 $0 < t_1 \leq 1/4 \cdot T$ 、 $0 \leq t_2 < 1/4 \cdot T$ 、 $0 < t_3 \leq 1/4 \cdot T$ 、 $0 \leq t_4 < 1/4 \cdot T$ 、 $0 < t_5 \leq 1/4 \cdot T$ 、 $0 \leq t_6 < 1/4 \cdot T$ 、 $0 < t_7 \leq 1/4 \cdot T$ 、 $0 \leq t_8 < 1/4 \cdot T$ の条件の範囲内で自由に変更可能である。この8つの条件はor条件であるが、 $t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8 = T$ を満たすことが必要である。電流が増減する区間 t_1 、 t_3 、 t_5 、 t_7 は回路定数により波形が異なるので、実際上、スイッチング損失が発生しない範囲に限られる。

【0022】各スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ のスイッチング動作により、トランス Tr_1 、 Tr_2 の一次側電圧（図3の最上段から二番目）にトランス Tr_1 、 Tr_2 の変成比をかけてその絶対値をとったもの、つまり、一次側電圧の波形を零点で折り返したもの（図3の最上段）が、トランス Tr_1 、 Tr_2 の二次側電圧を整流回路部21、22により整流した結果に得られる出力電圧 V_1 、 V_2 となる。この整流回路部21、22の出力電

圧 V_1 、 V_2 を転流により最も電圧値の高いところでトレースすることにより負荷電圧 V_{out} が生成される。この転流は、図3の矢印で示すタイミングでもって、スイッチング素子 Q_1 、 $Q_4 \rightarrow$ スイッチング素子 Q_5 、 $Q_8 \rightarrow$ スイッチング素子 Q_2 、 $Q_3 \rightarrow$ スイッチング素子 Q_6 、 $Q_7 \rightarrow$ スイッチング素子 Q_1 、 Q_4 の順で繰り返し行われる。

【0023】この変換回路部11、12では、スイッチング素子 Q_1 （ Q_2 ）に対してスイッチング素子 Q_4 （ Q_3 ）を $1/6$ 周期遅らせたタイミングでオンオフさせ、また、スイッチング素子 Q_5 （ Q_6 ）を前記スイッチング素子 Q_1 （ Q_2 ）に対して $1/4$ 周期遅らせたタイミングでオンオフさせ、さらに、スイッチング素子 Q_8 （ Q_7 ）をスイッチング素子 Q_5 （ Q_6 ）に対して $1/6$ 周期遅らせたタイミングでオンオフさせる。

【0024】これにより、整流回路部21、22の出力電圧 V_1 、 V_2 は、転流によりスイッチング素子 $Q_1 \sim Q_8$ にドレイン電流 I_d が流れながらドレインソース間電圧 V_{ds} が印加される状態がなくなるのでスイッチング損失が発生することはない。また、転流のタイミングを決定するのは、転流のトリガとなっているスイッチング素子 Q_3 、 Q_4 、 Q_7 、 Q_8 であるが、これらのスイッチング素子 Q_3 、 Q_4 、 Q_7 、 Q_8 は、ゲート信号 G が付与されてターンオンしてもドレイン電流 I_d がトランス Tr_1 、 Tr_2 の漏れリアクタンスのために転流後瞬時にピーク電流に達するのではなく、電流の立ち上がりが抑制されることから、ターンオンスイッチング損失が発生することはない。

【0025】また、変換回路部11、12とトランス Tr_1 、 Tr_2 との間に直列コンデンサ C_1 、 C_2 を挿入接続したことにより、変換回路部11、12の出力電圧の平坦部にドループ（傾き）をつけ、立ち上がり部分の高い電圧波形とすることで、転流タイミング時の前後で電圧差を大きくして転流動作を確実に行う。さらに、スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ の個体差によるオン抵抗やスイッチング速度のばらつきによって含まれる直流成分をカットしてトランス Tr_1 、 Tr_2 の直流偏励磁を防止することも可能である。

【0026】前記構成からなる前記スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ をMOS-FETとした実施形態においては、二群の変換回路部11、12を直流電源 E に対して直列に接続することにより、スイッチング時においても、変換回路部11、12の各MOS-FETにかかる電圧（サージ電圧を除く）を直流電源 E の電源電圧の $1/2$ に低減することができ、これによって、スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ に使用するMOS-FETの耐圧も、従来例のDC-DCコンバータ（図7参照）と比較して $1/2$ に低減することができ、この耐圧の2.5乗に比例して増大するオン抵抗による導通損失を抑制することができる。

【0027】つまり、スイッチング素子 $Q_1 \sim Q_4$ 、 Q_5

～ Q_8 の耐圧が $1/2$ に低減されれば、そのオン抵抗は、 $(1/2)^{2.5}\%$ 、約 20% （ 80% 減）にまで低減されることになる。スイッチングパターンを1パルス/1周期として、各スイッチング素子 $Q_1\sim Q_4$ 、 $Q_5\sim Q_8$ の導通損失を以下に求めて比較する。

【0028】従来例のDC-DCコンバータにおいて、スイッチング素子 $Q_1\sim Q_4$ のオン抵抗を r_1 、ドレイン電流を i_{d1} 、スイッチング周期を t_{sw} とし、スイッチング素子の導通率を 50% とすれば、スイッチング素子1pcの1周期（1パルス）あたりの導通損失 P_{loss1} は、 $P_{loss1}=r_1\times i_{d1}^2\times t_{sw}/2$ となる。

【0029】これに対して、実施形態のDC-DCコンバータにおいて、スイッチング素子 $Q_1\sim Q_4$ 、 $Q_5\sim Q_8$ のオン抵抗を r_2 、ドレイン電流を i_{d2} 、スイッチング周期を従来例と同様、 t_{sw} とする。この実施形態におけるスイッチングパターン（図2参照）に示すように1周*

$$\begin{aligned} P_{loss2} &= (0.2\times r_1) \times (2\times i_{d1})^2 \times t_{sw} / 4 \\ &= 0.4 \times r_1 \times i_{d1}^2 \times t_{sw} / 2 \\ &= 0.4 \times P_{loss1} \end{aligned}$$

となる。これは、実施形態の場合の導通損失が、従来例の場合の 40% （ -60% ）に低減されることを示している。これに基づいて、変換回路部11、12でフルブリッジ接続されたスイッチング素子全ての合計を考えると、従来例の場合、スイッチング素子4pcに対して実施形態の場合、スイッチング素子8pcで構成されていることから、従来例での全てのスイッチング素子（4pc）での導通損失合計を 100% とすると、実施形態での全てのスイッチング素子（8pc）での導通損失合計は 80% （ -20% ）となり、 20% 分の損失が低減される。

【0031】本発明の他の実施形態として、図5に示すように二群の変換回路部11'、12'のそれぞれをハーフブリッジ構成とすることが可能である。この二群の変換回路部11'、12'において、転流のタイミングを決定するため、転流のトリガとなっているのはスイッチング素子 Q_3 、 Q_4 、 Q_7 、 Q_8 であることから、それら以外のスイッチング素子 Q_1 、 Q_2 、 Q_5 、 Q_6 をコンデンサ C_{11} 、 C_{12} 、 C_{21} 、 C_{22} に置き換えてハーフブリッジ構成とすることが可能である。この実施形態におけるスイッチング素子 Q_3 、 Q_4 、 Q_7 、 Q_8 をスイッチングさせるタイミング（位相）は、フルブリッジ構成の場合と同様である。

【0032】また、他の実施形態として、図6に示すように二群の変換回路部11''、12''を直流電源Eに並列に接続した構成とすることも可能であり、その場合、スイッチング損失の発生を抑止することができる。この実施形態においてもスイッチング素子 $Q_1\sim Q_4$ 、 $Q_5\sim Q_8$ をスイッチングさせるタイミング（位相）は、フルブリッジ構成の場合と同様である。

【0033】

*期での電流の転流は、スイッチング素子 Q_1 、 Q_4 に $1/4$ 周期、次の $1/4$ 周期はスイッチング素子 Q_5 、 Q_8 、次の $1/4$ 周期はスイッチング素子 Q_2 、 Q_3 、次の $1/4$ 周期はスイッチング素子 Q_6 、 Q_7 に流れることになる。また、一群の変換回路部の出力電圧は従来例の場合の半分であるため、最終出力を従来例の場合と同じにするためにはスイッチング素子1pc当たりのドレイン電流 i_{d2} は従来例の場合のドレイン電流 i_{d1} の二倍、スイッチング素子 $Q_1\sim Q_4$ 、 $Q_5\sim Q_8$ の導通率は従来例の場合の $1/2$ で 25% となる。

【0030】これにより、スイッチング素子1pcの1周期（1パルス）当たりの導通損失 P_{loss2} は、 $P_{loss2}=r_2\times i_{d2}^2\times t_{sw}/4$ となる。ここで、 $i_{d2}=2\times i_{d1}$ 、 r_2 が r_1 の 20% 程度であることから $r_2/r_1=0.2$ であることから、

20 【発明の効果】本発明によれば、n群の変換回路部において、各変換回路部で対をなすスイッチング素子のうち、一方のスイッチング素子に対して他方のスイッチング素子のスイッチング位相を $1/3n$ 周期ずらすと共に、前記各変換回路部間で対応するスイッチング素子のスイッチング位相を $1/2n$ 周期ずらすことにより、転流によりスイッチング素子にスイッチング電流が流れながらスイッチング電圧が印加される状態がなくなるのでスイッチング損失が発生することはない。

30 【0034】また、前記スイッチング素子をMOS-FETとした場合、n群の変換回路部を直流電源に対して直列に接続したことにより、変換回路部の各MOS-FETにかかる電圧を直流電源の電源電圧の $1/n$ に低減することができ、これによって、スイッチング素子に使用するMOS-FETの耐圧も $1/n$ に低減することができ、この耐圧の 2.5 乗に比例して増大するオン抵抗による導通損失を抑制することができる。

40 【0035】従って、スイッチング損失の低減化を図り、スイッチング素子にMOS-FETを使用した場合、オン抵抗が低い低耐圧のMOS-FETの使用を可能とする高効率のDC-DCコンバータを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施形態におけるDC-DCコンバータの回路図である。

【図2】図1のDC-DCコンバータの各スイッチング素子をオンオフさせるゲート信号のタイミングチャートである。

50 【図3】図1の整流回路部の出力電圧、トランスの一次側電圧、各スイッチング素子のドレインソース間電圧およびドレイン電流の波形図である。

【図4】図3のトランスの一次側電圧波形の1周期における各スイッチング素子のオンオフ状態を示す表である。

【図5】本発明の他の実施形態で、変換回路部をハーフブリッジ構成したDC-DCコンバータを示す回路図である。

【図6】本発明の他の実施形態で、二群の変換回路部を直流電源に並列接続したDC-DCコンバータを示す回路図である。

【図7】DC-DCコンバータの従来例を示す回路図である。

【図8】図7のDC-DCコンバータの各スイッチング素子をオンオフさせるゲート信号のタイミングチャートである。

【図9】図7の各スイッチング素子のドレイン-ソース間電圧およびドレイン電流の波形図である。

【図10】(a)は図9に示すスイッチング素子のドレイン-ソース間電圧及びドレイン電流の各波形を示す模式図、(b)はターンオン時とターンオフ時のスイッチング損失および導通損失を示す模式図である。

【符号の説明】

11, 12 変換回路部

21, 22 整流回路部

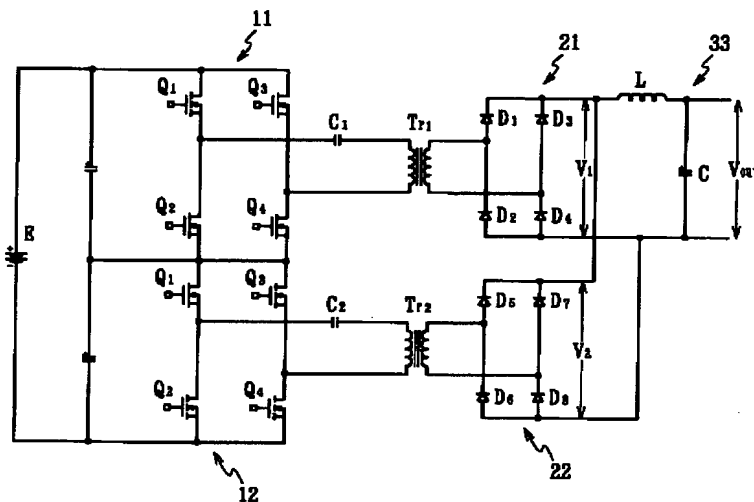
C₁, C₂ 直列コンデンサ

E 直流電源

Tr₁, Tr₂ トランス

Q₁~Q₄, Q₅~Q₈ スwitchング素子

【図1】

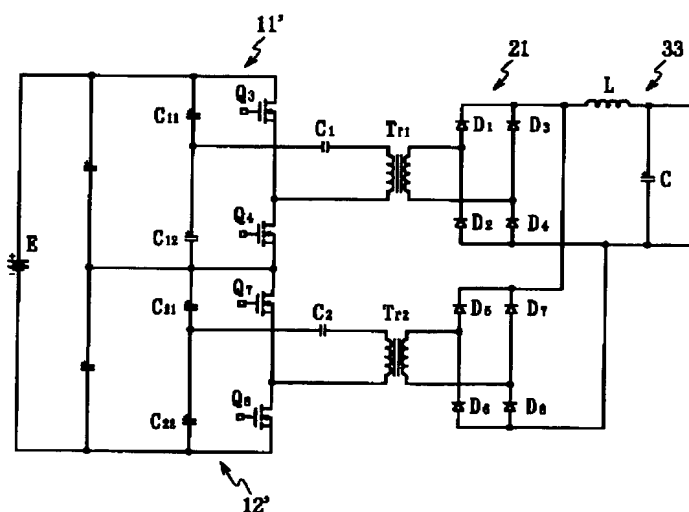


【図4】

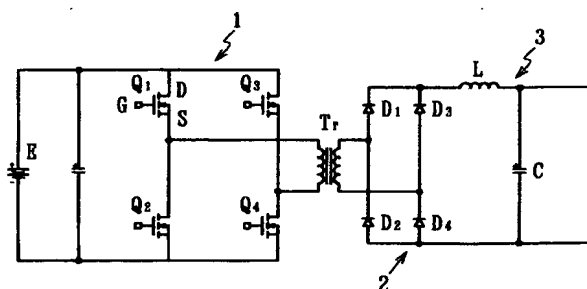
	1周期 [T]							
	1/4周期 T ₁ [1/4·T]		1/4周期 T ₂ [1/4·T]		1/4周期 T ₃ [1/4·T]		1/4周期 T ₄ [1/4·T]	
	t ₁	t ₂	t ₂	t ₁	t ₂	t ₂	t ₁	t ₂
Q ₁ , Q ₄	0→1	1→1	1→1	0→0	0→0	0→0	0→0	0→0
Q ₂ , Q ₃	0→0	0→0	0→0	0→0	0→1	1→1	1→0	0→0
Q ₅ , Q ₈	0→0	0→0	0→1	1→1	1→0	0→0	0→0	0→0
Q ₆ , Q ₇	1→0	0→0	0→0	0→0	0→0	0→0	0→1	1→1

注：0→1 は 電流がゼロから1p.u.まで変化することを示す。
1→1 は 電流1p.u.で維持されていることを示す。
1→0 は 電流1p.u.からゼロまで変化することを示す。

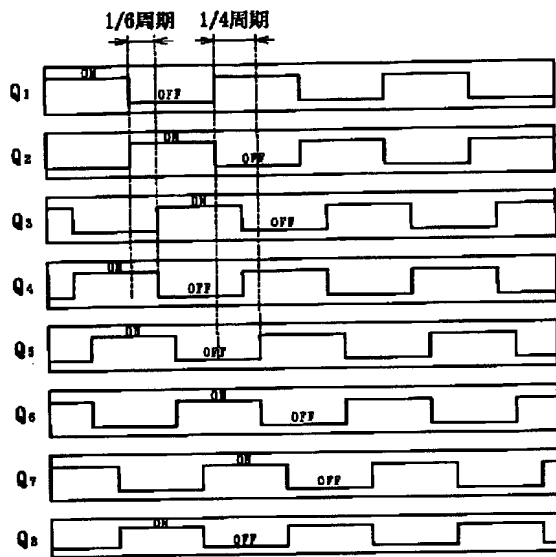
【図5】



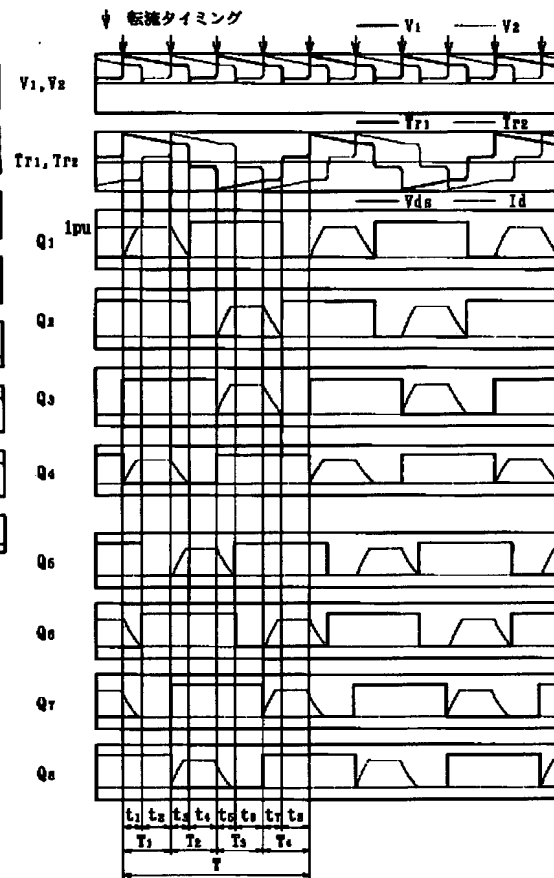
【図7】



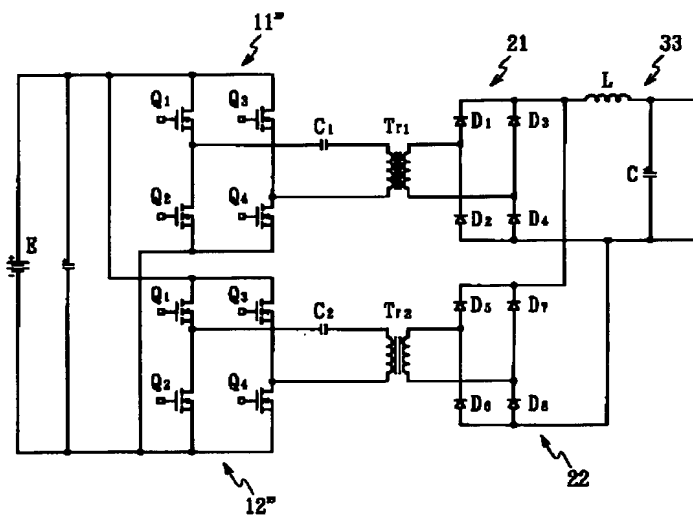
【図2】



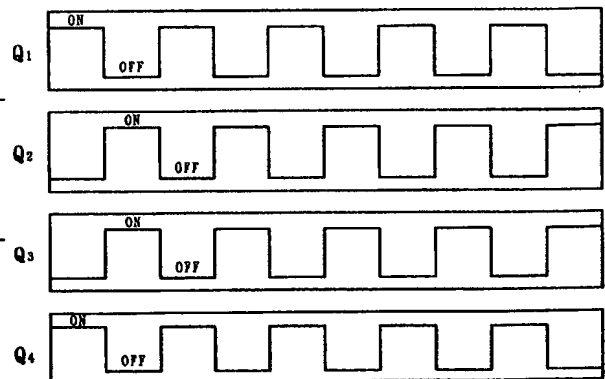
【図3】



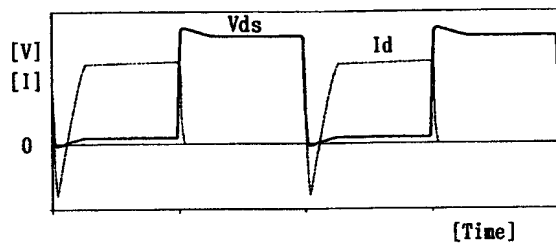
【図6】



【図8】



【図 9】



【図 10】

